

SiC MOSFET

MOSFET 并联使用时的发振对策

近年来，工业设备或 xEV 等应用中，随着大电流化的需求，低价格的分立器件封装品进行并联使用的电路方式的使用方法日益广泛。由 MOSFET 的并联连接，单个器件流过的电流得以减少，使发热的分散成为可能。但是，由于单个器件的特性存在离散型，MOSFET 进行并联连接且同时驱动的时候，每个 MOSFET 完全进行统一时序的动作实现很困难。与单独使用器件的场合相比，驱动方法上有需要注意的事项。本 Application Note 的目的是，对关于 SiC MOSFET 的并联使用时振荡情况，基于实测结果的明确对策等，对包含驱动电路的线路板布线的注意点做出引导性的提示。^{*1}

目录

1.并联连接用的线路板	2
关于并联连接用的评价板(PCB008P)进行说明。	
2.并联使用时的栅极驱动电路	2
PCB008P 的栅极驱动电路图，提示并联使用时最低限度的必要注意点。	
3.并联使用时振荡的要因	3
并联使用时使用条件的不同可能导致发振。振荡发生的要因进行说明。	
4.发振评价项目	3
提示根据发振要因选定的评价项目。	
5.发振评价结果	4
推测要因引发的振荡是否出现，展示使用 PCB008P 评价的结果。	
6.发振对策方法的检验	10
对抑制发振的对策方法进行说明。	
7.总结	13

*1: 本次基于 2 个 MOSFET 并联使用时的动作进行说明，并联个数更多时，各个器件的离散特性导致预测外的情况不可避免，所以并联使用时务必进行充分的评价，谨慎判断是否可以使用。另外，器件特性的离散性不可避免，请尽可能使用单一器件的设计。

1. 并联使用的线路板

基于并联使用的线路板框图如 Figure 1-1 所示。由桥式结构构成，上下桥臂分别由 MOSFET 并联连接，由一个驱动信号进行 ON/OFF 动作。线路板照片如 Figure 1-2 所示。

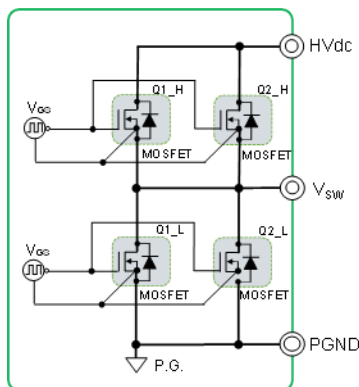


Figure 1-1. PCB008P 简易框图



Figure 1-2. PCB008P (top view)

2. 并联使用时的栅极驱动电路

并联使用时的驱动电路通常是对于 2 个以上的 MOSFET，使用 1 个栅极驱动器进行设计。参考电路如 Figure 2-1 所示。Figure 2-1 中简单展示电路中的注意点，部品参数等务必根据所使用的 MOSFET 特性进行设定。

1. 确认栅极驱动器输出电流，Q1、Q2 的驱动电流能力不足的话，加入 Q3、Q4 构成的 Buffer 电路。PCB008P 中使用 Bipolar Transistor (ROHM: 2SCR542P、2SAR542P)，放大至最大 10A。
2. 共用的 R_{e_com} 之外，务必插入单独的 Gate 电阻 R_{e_Q1} 、 R_{e_Q2} 。理由是使 Q1、Q2 的开关动作一致化，详细由本 Application Note 「6. 发振对策法的检验」中说明。PCB008P 中 R_{e_com} 为 4.7Ω、 R_{e_Q1} 、 R_{e_Q2} 使用 2Ω 的设

定。关于其中的理由也在本 Application Note 「5. 发振评价结果」和「6. 发振对策法的检验」中详细说明。

3. 使用有 Miller Clamp(以下、MC)功能的栅极驱动器的场合 R_{e_Q1} 、 R_{e_Q2} 更近处配置监视，形成与电路（通过 Diode 连接，电压高的信号为有效的电路）使用二极管 D1、D2 与 MC 端子连接。通过这样的电路连接可使 Q1、Q2 进行续流动作时的栅极抬升电压得到抑制。R2、R3 用来调整 MC 端子流过的电流。PCB008P 中设定为 0Ω。

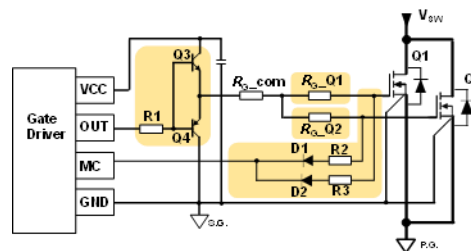


Figure 2-1. Gate 驱动电路 (Low Side)

此外，每个 MOSFET 对应 1 个栅极驱动器的用法也是可以的。此时，本次描述的路径不会发振。但是，MOSFET 特性上的离散的基础上，叠加栅极驱动器的特性离散进行 ON/OFF 开关动作时序上存在离散特性，单侧的 MOSFET 有发生过载的可能性，有必要进行离散特性小的设计。还有，为了统一时序，将栅极驱动器同类输出直接连接的话，如 Figure 2-2 所示，栅极驱动器的离散特性可能导致栅极驱动器某侧 ON，某侧 OFF 的情况，ON 侧的栅极驱动电压与 OFF 侧的 GND 短路，致使栅极驱动器损坏。因此请勿使用栅极驱动器同类输出直接连接的方式。

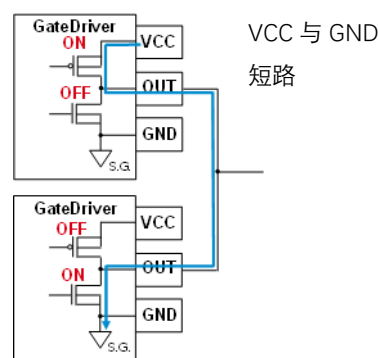


Figure 2-2. Gate Driver 的输出直接连接引起 Gate Driver 间短路

3. 并联引起振荡的主要原因

并联时产生的振荡是由各个器件的动作时序的差别触发引起振荡。布线的不平衡或 MOSFET 自身离散型引起 ON 和 OFF

的时序差别时，电流偏向某个 MOSFET，布线的寄生电感中发生的感应电能与旁边的 MOSFET 不同，引起电位差。此电位差产生的能量在 MOSFET 的寄生电容中来回往复，出现振荡的现象。(参见 Figure 4-1)

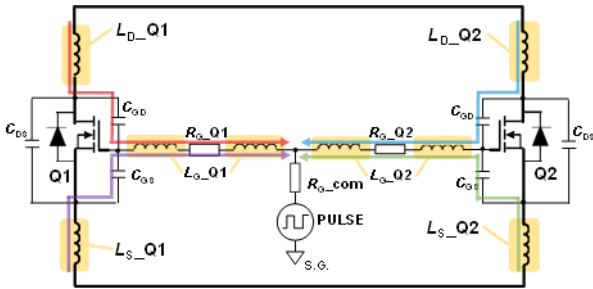


Figure 4-1. 发振途径

这一振荡的幅度过大的话，有导致损坏的风险。此外，即使栅极端子的振荡幅度未超过 V_{GS} 额定值，也有可能发生导致 EMC 试验超过规格值的噪音，所以有必要尽可能的抑制此类振荡。

MOSFET 的 ON 和 OFF 的时序差异产生的要素如下 5 项所示，电路上的要素是 A ~ C，MOSFET 的特性的要素是 D、E。

- A: 线路板上的寄生电感(以下、寄生 L)导致 Q1、Q2 不平衡
- B: MOSFET 的 di/dt 大
- C: 个别栅极电阻 R_{g_Q1} 、 R_{g_Q2} 值有差异
- D: MOSFET 的阈值(以下、 $V_{GS(th)}$)导致 Q1、Q2 不平衡
- E: MOSFET 的寄生电容导致 Q1、Q2 不平衡

关于上述各要素，使用评价板 PCB008P 进行实际验证的结果，在下一节进行说明。

4.发振评价项目

由前节所述 5 个要素确定以下内容的评价项目。

- A': 寄生 L 在 Q1、Q2 处不平衡
 - A'-1: Drain 的寄生电感 (以下、 L_d) 在 Q1、Q2 处不平衡
 - A'-2: Source 的寄生电感 (以下、 L_s) 在 Q1、Q2 处不平衡
 - A'-3: Gate 的寄生电感 (以下、 L_g) 在 Q1、Q2 处不平衡
 - A'-4: Kelvin-Source 的寄生电感 (以下、 L_{KS}) 在 Q1、Q2 处不平衡
- B': MOSFET 的 Drain 电流的变化率 (以下、 di/dt) 增大
 - B'-1: Drain 电流(以下、 $I_{d,pulse}$)增大
 - B'-2: 共用 Gate 电阻 R_{g_com} 减小

C': 个别 Gate 电阻 R_{g_Q1} 、 R_{g_Q2} 不平衡

D': $V_{GS(th)}$ 特性 Q1、Q2 不平衡

E': 寄生电容特性 Q1、Q2 处不平衡

- E'-1: C_{GD} 在 Q1、Q2 处不平衡
- E'-2: C_{GS} 在 Q1、Q2 处不平衡
- E'-3: C_{DS} 在 Q1、Q2 处不平衡

其中，评价项目 E'相关内容，由于存在评价样品取得问题，使用仿真进行确认。

发振评价的条件及电路如 Figure 4-2 所示。评价照片如 Figure 4-3 所示。在此次的评价中，为正确测定 Gate 的发振波形， V_{GS} 波形测定用的探头，使用 Tektronix®制的光隔离型差分探头。特别是 Gate 电压的测定时，Highside 侧受测定环境的影响较大，务必十分注意。详细内容请在 Application Note 《Gate-Source 电压测定时的注意点》中确认。

评价电路板: PCB008P

并联数: 2 并联

SiC MOSFET: SCT4018KR (1200V 18mohm TO-247- 4L)

评价电路: Low Side(以下、LS)Switching Double pulse 电路

HV dc 电压 $E=800V$

Inductor $L=250\mu H$

Gate 电压 $V_{GS}=18V/0V$

测定温度 $T=25^\circ C$

测试设备

示波器: MSO58 5-BW-500 Tektronix®制

V_{DS} 波形测定探头: THDP0200 Tektronix®制

V_{GS} 波形测定探头: TIVP05, 650-6122-00 Tektronix®制

i_b 波形测定探头: SS-665 IWATSU 制

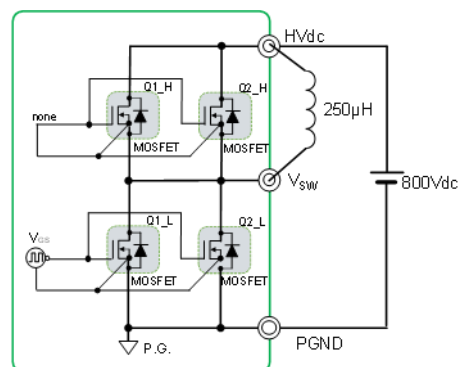


Figure 4-2. 评价电路(Double Pulse LS Switching)

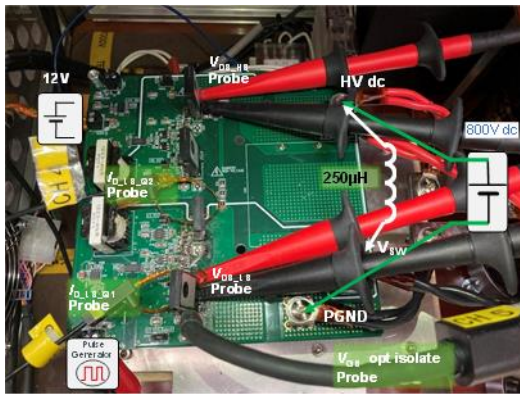


Figure 4-3. 评价全景

本次发振的评价重点关注的是栅极的振荡波形。另外，栅极 OFF 时，与栅极 ON 时相比，漏极电流的变化率更大，发振的触发倾向更大，因此使用栅极 OFF 的波形进行对比。

5. 发振评价结果

A': Q1、Q2 的寄生 L 不平衡

首先，使用 Ansys® 制电磁界解析软件(Q3D Extractor®)提取出线路板上的寄生 L 成分。提取寄生 L 的位置标记如电路图 Figure 5-1 所示，PCB008P 线路板布线图如 Figure 5-2 所示，寄生 L 提取结果如 Table 5-1 所示。

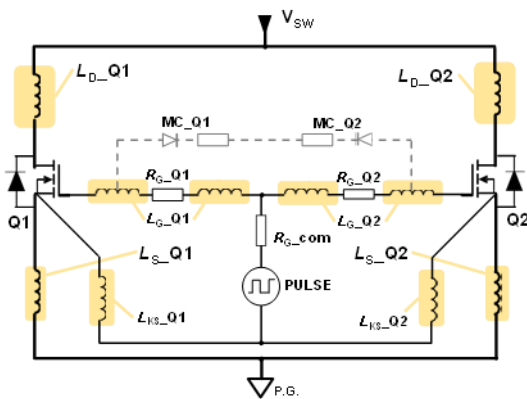
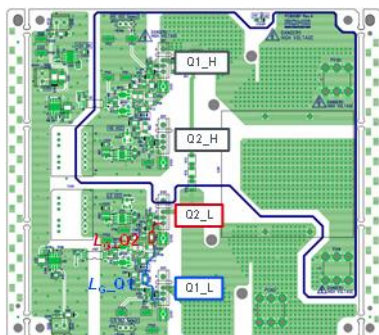
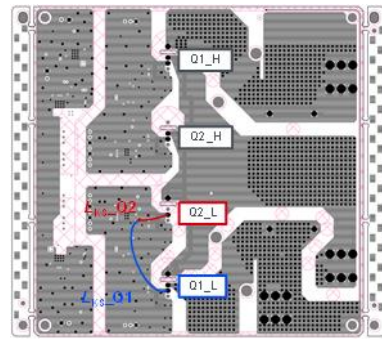


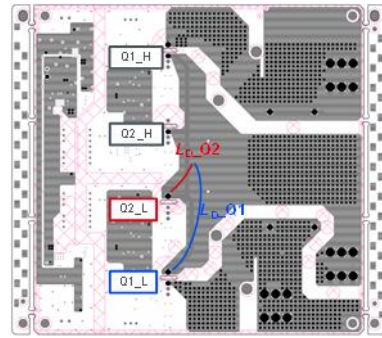
Figure 5-1. 寄生 L 提取位置



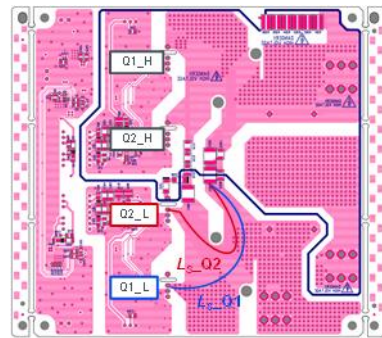
(a) 部品面布线 (L_c)



(b) 第 2 层布线 (L_{ks})



(c) 第 3 层布线 (L_d)



(d) 焊接面布线 (L_s)

Figure 5-2. PCB008P 布线图

Table 5-1. 寄生 L 提取结果

	$L_{Q1}[nH]$	$L_{Q2}[nH]$	$L_{Q1}-L_{Q2}[nH]$
L_D	15.67	4.61	11.06
L_S	10.70	16.20	-5.50
L_G	17.66	6.74	10.92
L_{KS}	7.74	2.62	5.12

提取结果表明，寄生 L 在线路板上已经产生不平衡。此次评价中，对 Figure 5-1 中虚线所示 MC 电路的寄生 L 不予考虑。理由是，本次评价用的二极管的寄生电容(约 50pF)在本次发生的振荡频带内显示高阻抗，不是发振的通路，可忽略此处寄生 L 影响。

为增大相对不平衡的状态，在寄生 L 大的 MOSFET 引线端子处，有意追加配线。Figure 5-3 所示为 MOSFET 横向视图时追加配线的示意图。

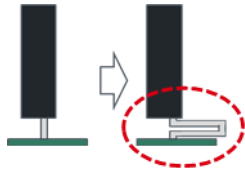


Figure 5-3. 追加配线示意图

以下(b)~(d)的 3 种配线追加连接。Figure 5-4 所示为实际追加配线的状态。

- (a) 无追加
- (b) 10nH 追加
- (c) 20nH 追加
- (d) 100nH 追加

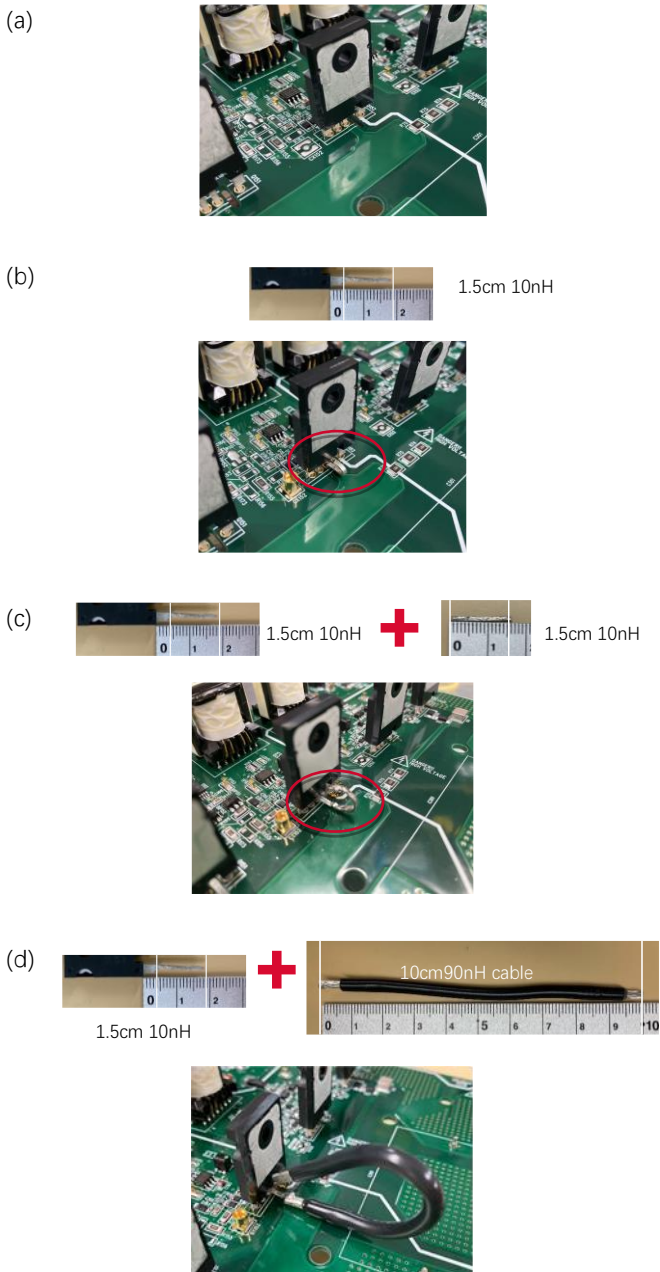


Figure 5-4. 寄生 L 追加

一般情况线路板的离散差约 10nH ~ 20nH, PCB008P 的线路板追加 10nH、20nH, 能够满足 10nH ~ 25nH 离散差异情况的评价。并且, 本次评价作为界限评价, 验证了 MOSFET 发振是否会导致损坏, 也实施了非现实情况的寄生 L 为 100nH 状态下的评价。

评价项目 A'的 Double pulse 评价条件如下。为使发振更容易观测, 个别栅极电阻设定为 0Ω。

- $I_{D, pulse}$: 128A (合计 256A)
- R_{G_Q1}, R_{G_Q2} : 0Ω
- R_{G_com} : 2Ω
- $V_{GS(th)_Q1}, V_{GS(th)_Q2}$: 4.2V(所使用器件的实测值)

A'-1: Q1、Q2 的 L_D 不平衡

L_D 是为使 Q1 的寄生 L 大, 在 Q1 处追加配线。Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-5 所示。

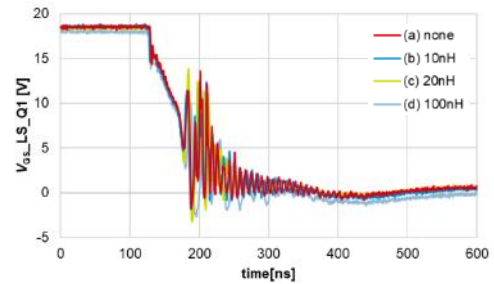
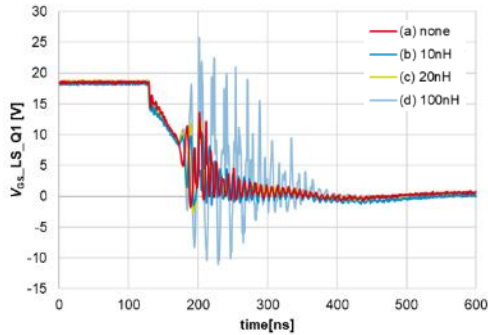


Figure 5-5. V_{GS} 波形 (L_D 不平衡)

观测条件(a)的发振是因为考虑到个别 Gate 电阻为 0Ω及寄生 L 的不平衡所产生的影响。以条件(a)为基准, 观测条件(b)、(c)、(d)的波形, 振幅没有大的差异。

A'-2: Q1、Q2 的 L_S 不平衡

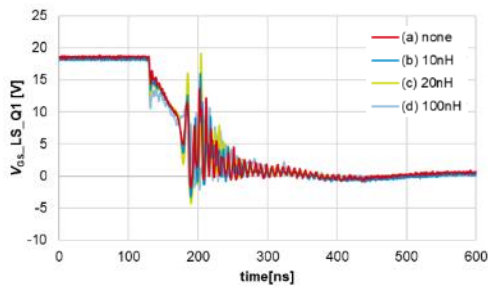
L_S 是为使 Q2 的寄生 L 大, 在 Q2 处追加配线。Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-6 所示。即使在 Q2 处追加配线, Q1、Q2 的 Gate 通过 R_{G_Q1}, R_{G_Q2} 连接, 已确认可以观测到同样的波形, 因此, 本次评价中全部条件下, 都由 Q1 的 Gate 波形进行比较。

Figure 5-6. V_{GS} 波形 (L_S 不平衡)

条件(a)为基准依次观测条件(b)、(c)、(d)，到条件(c)时，未有大的差别。到条件(d)时，有幅度约-10V~25V的振荡，大幅超过 V_{GS} 额定值。发振持续的时间长度约为3倍左右。这是并联共振引起的振荡，照此使用的话，有产生损坏的可能。由此可见 L_S 的不平衡能导致发振的幅度、振荡持续时间增大。

A'-3: Q1、Q2 的 L_G 不平衡

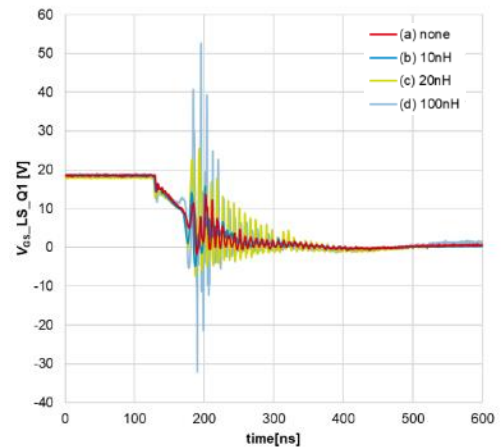
L_G 是为使 Q1 的寄生 L 大，在 Q1 处追加配线。Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-7 所示。

Figure 5-7. V_{GS} 波形 (L_G アンバランス)

条件(a)为基准观测条件(b)、(c)、(d)，依条件不同，可见波形振幅有所增加，但振荡持续时间无大差别。

A'-4: Q1、Q2 的 L_{KS} 不平衡

L_{KS} 是为使 Q1 的寄生 L 增大，在 Q1 处追加配线。Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-8 所示。

Figure 5-8. V_{GS} 波形 (L_{KS} 不平衡)

条件(a)为基准观测条件(b)、(c)、(d)，可见 L_{KS} 不平衡越强，Gate 电压的振幅越大。条件(d)时，振幅超过 50V，远超 V_{GS} 的额定值，即使条件(c)时，也有超过额定值的风险。 L_{KS} 的不平衡会导致发振的幅度，振荡持续时间增大。

B': MOSFET 的 db/dt 增大

B'-1: $I_{b, pulse}$ 增大

依据 $I_{b, pulse}$ 的大小与发振情况的对比。评价项目 B'-1 的评价条件如下。

寄生 L: 仅线路板的 L (Table 5-1)

R_{G_Q1}, R_{G_Q2} : 0Ω

R_{G_com} : 2Ω

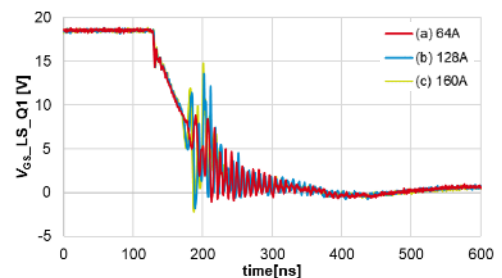
$V_{GS(th)_Q1}, V_{GS(th)_Q2}$: 4.2V

$I_{b, pulse}$ 按以下(a)~(c)的条件设定时，Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-9 所示。

(a) $I_{b, pulse}$: 64A (合计 128A)

(b) $I_{b, pulse}$: 128A (合计 256A)

(c) $I_{b, pulse}$: 160A (合计 320A)

Figure 5-9. V_{GS} 波形 ($I_{b, pulse}$ 增加)

此外、 $I_{b_LS_Q1}$ 波形如 Figure 5-10 所示。Gate OFF 时，每个 MOSFET 的 dI_b/dt 如下。

- (a) I_{b_pulse} : 64A (合计 128A) dI_b/dt : 5.8A/ns
- (b) I_{b_pulse} : 128A (合计 256A) dI_b/dt : 8.5A/ns
- (c) I_{b_pulse} : 160A (合计 320A) dI_b/dt : 10.2A/ns

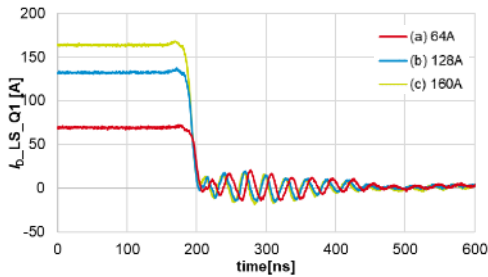


Figure 5-10. I_b 波形 (I_{b_pulse} 增加)

可见， I_b 增大的话，Gate OFF 时的 dI_b/dt 会增大，开关速度也会增加，更容易触发振荡，发振振幅也会增大。

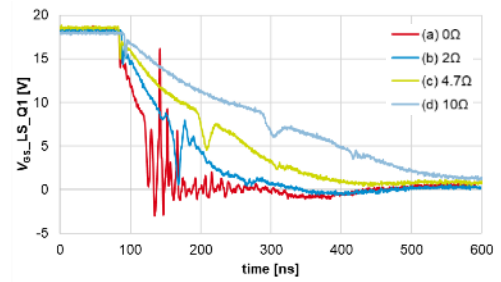
B'-2: 共用栅极电阻 R_{G_com} 减小

共用栅极电阻减小时，开关速度加快， dI_b/dt 增大。评价项目 B'-2 的评价条件如下。 R_{G_com} 设定为 0Ω 时，如个别栅极电阻为 0Ω 的话，栅极电阻合计为 0Ω ， V_{GS} 已超过额定规格，因此， R_{G_Q1} 、 R_{G_Q2} 设定为 2Ω 。

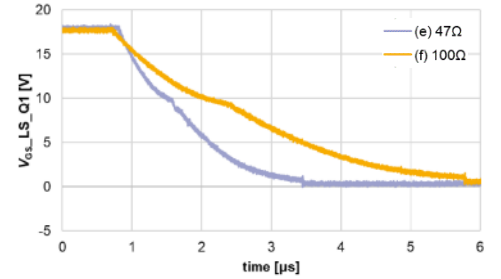
- I_{b_pulse} : 128A (合计 256A)
- 寄生 L: 仅线路板的 L (Table 5-1)
- R_{G_Q1} , R_{G_Q2} : 2Ω
- $V_{GS(th)Q1}$, $V_{GS(th)Q2}$: 4.2V

以下(a)~(f)， R_{G_com} 变化时，Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-11 所示。

- (a) R_{G_com} : 0Ω
- (b) R_{G_com} : 2Ω
- (c) R_{G_com} : 4.7Ω
- (d) R_{G_com} : 10Ω
- (e) R_{G_com} : 47Ω
- (f) R_{G_com} : 100Ω



(a)0Ω (b)2Ω (c)4.7Ω (d)10Ω

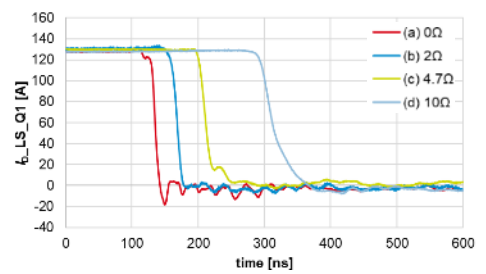


(e)47Ω (f)100Ω

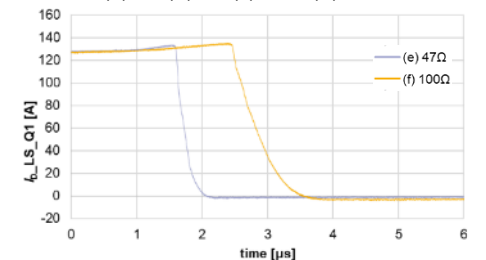
Figure 5-11. V_{GS} 波形 (R_{G_com} 减小)

(a)~(f)， R_{G_com} 变化时，Gate OFF 时的 $I_{b_LS_Q1}$ 波形如 Figure 5-12 所示。此外，每个 MOSFET 的 dI_b/dt 如下所示。

- (a) R_{G_com} : 0Ω dI_b/dt : 12.3A/ns
- (b) R_{G_com} : 2Ω dI_b/dt : 8.7A/ns
- (c) R_{G_com} : 4.7Ω dI_b/dt : 6.4A/ns
- (d) R_{G_com} : 10Ω dI_b/dt : 3.5A/ns
- (e) R_{G_com} : 47Ω dI_b/dt : 4.0A/ns
- (f) R_{G_com} : 100Ω dI_b/dt : 2.0A/ns



(a)0Ω (b)2Ω (c)4.7Ω (d)10Ω



(e)47Ω (f)100Ω

Figure 5-12. I_b 波形 (R_{G_com} 减小)

R_{G_com} 越小, Gate OFF 时的 di/dt 增大, 开关速度越快, 发振越明显。本次的评价线路板中 4.7Ω 以上 (每个 MOSFET 分的 di/dt 为 $6.4A/ns$ 以下) 设定时, 可见发振被抑制的情况。由此可见, di/dt 对发振有很大影响。

C': 个别栅极电阻 R_{G_Q1} 、 R_{G_Q2} 不平衡

R_{G_Q1} 和 R_{G_Q2} 的不平衡进行评价, 评价项目 C' 的评价条件如下。

I_{D_pulse} : 128A (合计 256A)

寄生 L: 仅线路板的 L (Table 5-1)

$V_{GS(th_Q1)}$, $V_{GS(th_Q2)}$: 4.2V

R_{G_Q1} 和 R_{G_Q2} 、 R_{G_com} 按以下(a)~(c)的条件设定, Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-13 所示。条件(a)中本应比较 R_{G_com} 为 0Ω 的情况, 但栅极电阻合计为 0Ω 的时候, V_{GS} 超过额定规格, 因此设定 2Ω 。

(a) R_{G_com} : 2Ω R_{G_Q1} : 0Ω R_{G_Q2} : 0Ω

(b) R_{G_com} : 0Ω R_{G_Q1} : 0Ω R_{G_Q2} : 10Ω

(c) R_{G_com} : 0Ω R_{G_Q1} : 0Ω R_{G_Q2} : 100Ω

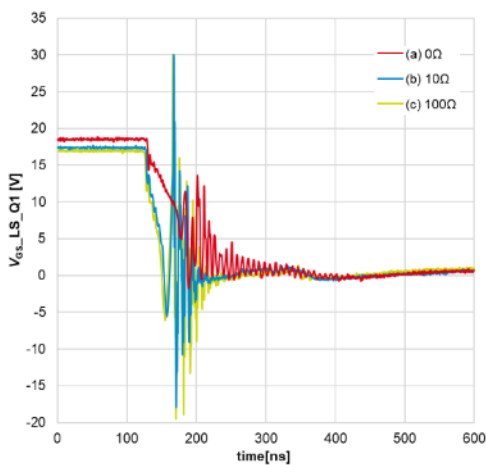


Figure 5-13. V_{GS} 波形 (个别 R_G 不平衡)

能看到个别 R_G 的不平衡越大, 发振持续时间越长的现象, 但条件(c)仅是振荡收敛的速度较慢, 条件(c)和条件(b)的振荡振幅并没有大的差别。另一方面, 条件(a)和条件(b)的发振振幅差比较大, 可知个别栅极电阻不平衡大会导致发振振幅增大, 但一般情况下栅极电阻高达 10Ω 的差异不存在。这一结果显示, Gate OFF 的时序有差异会导致振荡幅度增大。

D': Q1、Q2 的 $V_{GS(th)}$ 不平衡

$V_{GS(th)}$ 的不平衡情况进行评价。评价项目 D' 的评价条件如下。

为使发振更容易观测, 个别栅极电阻设定为 0Ω 。

I_{D_pulse} : 128A (合计 256A)

寄生 L: 仅线路板的 L (Table 5-1)

R_{G_com} : 2Ω

R_{G_Q1} , R_{G_Q2} : 0Ω

$V_{GS(th)}$ 在以下的(a)(b)的设定条件下 Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-14 所示。

(a) $V_{GS(th_Q1)}$: 4.2V $V_{GS(th_Q2)}$: 4.2V

(b) $V_{GS(th_Q1)}$: 4.1V $V_{GS(th_Q2)}$: 4.8V^{*2}

*2: 此数据不表示同一批次内的 MOSFET 的 $V_{GS(th)}$ 的离散值为 $0.7V$ 。

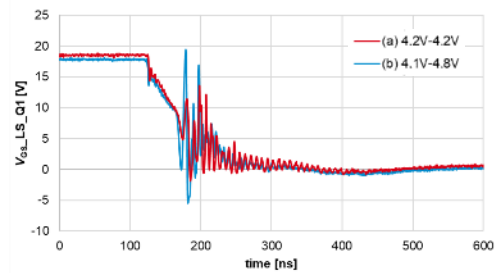


Figure 5-14. V_{GS} 波形 ($V_{GS(th)}$ 不平衡)

可见 $V_{GS(th)}$ 存在差异的话, Gate OFF 的时序会有差别, 发振振幅也会增大。本次的评价条件是 R_{G_Q1} 、 R_{G_Q2} 为 0Ω 的设定条件, 通过选取 R_{G_Q1} 、 R_{G_Q2} 合适的值, 有可能实现抑制发振。

E': Q1、Q2 的寄生电容不平衡 (Simulation)

由于本项评价取得样品很困难, 所有采用基于仿真的评价。评价项目 E' 的评价条件如下。仿真情况下, R_{G_Q1} 、 R_{G_Q2} 设定为 0Ω 时, 振荡不能收敛, 本次采用 2Ω 进行仿真。

I_{D_pulse} : 128A (合计 256A)

寄生 L: 线路板的 L, 参照 (Table 5-1)

R_{G_com} : 2Ω

R_{G_Q1} , R_{G_Q2} : 2Ω

E'-1: Q1、Q2 的 C_{GD} 不平衡

C_{GD} - V_{GS} 曲线在仿真上进行移动。以下的(a)~(c)的条件设定时, Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-15 所示。

(a) C_{GD_Q1} : 不变

C_{GD_Q2} : 不变

(b) Q1 的 C_{GD} 绝对值增大

C_{GD_Q1} : C_{GD} 曲线向高容量方向移动 10%

C_{GD_Q2} : 不变

(c) Q1 的 C_{GD} 绝对值减小

C_{GD_Q1} : C_{GD} 曲线向低容量方向移动 10%

C_{GD_Q2} : 不变

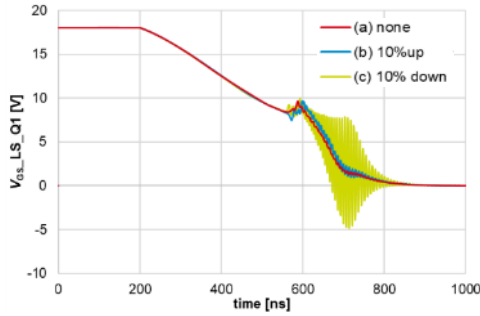


Figure 5-15. V_{GS} 波形 (C_{GD} 不平衡)

条件(c)是 C_{GD} 不平衡的情况下, Gate OFF 的时序发生偏差, 特别是 Q1 的绝对值减小时存在发振。使用 C_{GD} 小的小尺寸晶圆的小型器件时, 需要特别注意。但是, 本结果是基于仿真所取得, 并不表示实际情况下出现发振。

E'-2: Q1、Q2 的 C_{GS} 不平衡

同样的 C_{GS} - V_{GS} 曲线在仿真上进行移动。以下的(a)~(c)的设定条件下 Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-16 所示。

(a) C_{GS_Q1} : 不变

C_{GS_Q2} : 不变

(b) Q1 的 C_{GS} 绝对值增大

C_{GS_Q1} : C_{GS} 曲线向高容量方向移动 10%

C_{GS_Q2} : 不变

(c) Q1 的 C_{GS} 绝对值减小

C_{GS_Q1} : C_{GS} 曲线向低容量方向移动 10%

C_{GS_Q2} : 不变

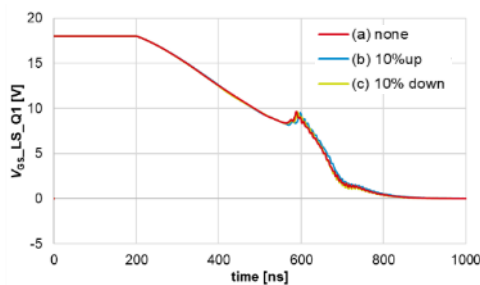


Figure 5-16. V_{GS} 波形 (C_{GS} 不平衡)

C_{GS} 不平衡未使发振的振幅产生变化。但本结果是基于仿真, 并不代表实际状态下不发生振荡。

E'-3: Q1、Q2 的 C_{DS} 不平衡

同样的 C_{DS} - V_{GS} 曲线在仿真上进行移动。以下的(a)~(c)条件下 Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 5-17 所示。

(a) C_{DS_Q1} : 不变

C_{DS_Q2} : 不变

(b) Q1 的 C_{DS} 绝对值增大

C_{DS_Q1} : C_{DS} 曲线向高容量方向移动 10%

C_{DS_Q2} : 不变

(c) Q1 的 C_{DS} 绝对值减小

C_{DS_Q1} : C_{DS} 曲线向低容量方向移动 10%

C_{DS_Q2} : 不变

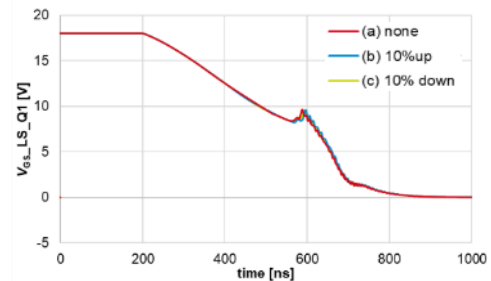


Figure 5-17. V_{GS} 波形 (C_{DS} 不平衡)

C_{DS} 不平衡未使发振的振幅发生变化。但本结果是基于仿真, 并不代表实际状态下不发生振荡。

本次按照 10% 的离散进行测试, 但不代表同一批次内的 MOSFET 一般离散限值为 10%。尽管如此, 还是希望 Q1、Q2 尽量采用同一批次的产品。此外, 实际的 C_{GD} , C_{GS} , C_{DS} 的不平衡可能产生叠加效应, 引发振荡。

本次仿真中, 操作 Spice Model 使寄生电容变更。下列的说明中, 输入倍率 X 的数值, 能够实现寄生电容曲线的增减。详细的模型说明的相关内容, 请参照 Application Note「热模型的使用方法」^[2]。但是, 毕竟是一种仿真的方法, 用来作为准确判断是否发振的依据仍需要谨慎。

例)SCT4018KR

C_{GD} : C1 23 12 1p → C1 23 12 {1p*X}

C_{GS} : C2 22 33 4.857n → C2 22 33 {4.857n*X}

C_{DS} : C11 53 1 1p → C11 53 1 {1p*X}

详细的模型请参考下列链接。

[SCT4018KR Simulation Model \(rohm.com\)²](https://www.rohm.com/simulation-models/sct4018kr)

*2: 2023/5/30 时间点的模型

发振评价结果如 Table 5-2 所示。「Gate 电压振幅差」为最易发振条件下的振荡振幅最大值与最小(无)发振条件下振幅最大值的差值。所示为需要针对此值较大的要因进行对策。

Table. 5-2

Factor	Evaluation Item Number	Evaluation Item	V _{GS} Amplitude Difference[V]
A	A'-1	Unbalance L _D	0.2
A	A'-2	Unbalance L _S	12.0
A	A'-3	Unbalance L _G	6.2
A	A'-4	Unbalance L _{KS}	39.9
B	B'-1	Increase I _{D, pulse}	6.0
B	B'-2	Reduce R _{G, com}	11.0
C	C'	Unbalance R _{G, Q1} and R _{G, Q2}	9.9
D	D'	Unbalance V _{GS(th)}	5.6
E	E'-1	Unbalance C _{GD}	6.0
E	E'-2	Unbalance C _{GS}	0.2
E	E'-3	Unbalance C _{DS}	0.2

由此结果可见，要因 A 的 L_S、L_{KS} 的不平衡对发振影响最大，L_S、L_{KS} 尽可能进行等长度的设计为最优先考虑。另外，同一值的 R_{G, Q1}、R_{G, Q2} 设定，且 R_{G, com} 的设定值非常重要。D、E 作为 MOSFET 自身特性，线路板设计方面没有对策内容。因此，非常重要的一点是线路板设计时充分考虑电路上 A~C 的要因。

6.发振对策方法的验证

发振要因 A~C 的改善对策 3 项，其他的电路设计对策 2 项，共计 5 项对策方法进行实际的发振抑制效果的验证。

设计阶段进行确认很重要，在设计完成之后的验证阶段，发现发振现象时，也可使用下述对策。

对策方法见以下 I~V 项。

发振要因 A~C 改善对策方法

I. L_S(L_{KS}) 等长设计

II. R_{G, com} 增加

III. R_{G, Q1}、R_{G, Q2} 增加

其他的电路设计对策方法

IV. Gate 布线上追加 Chip Ferrite Beads

V. 外接 C_{GS}追加

发振评价的条件如「4.发振评价项目」所示。

I. L_S(L_{KS}) 等长设计

「5.发振评价结果」的要因 A 明确了 L_S、L_{KS} 的不平衡对发振的影响。L_S、L_{KS} 在实际上处于同电位，作为功率线的 L_S 进行等长设定的验证。L_S 的提取结果

L_{S_Q1}: 10.7nH

L_{S_Q2}: 16.2nH

条件(a)是为满足等长设计，L_{S_Q1} 处追加 5.5nH。Figure 6-1 显示追加配线后的状态。条件(c)中为了与条件(a)进行比较，「5.发振评价结果 A': 寄生 L 在 Q1、Q2 处不平衡」出发，Figure 5-4. 寄生 L 追加的条件(d)同样方法，L_{S_Q2} 处追加 100nH。

(a) Q1 处追加 5.5nH(等长)

(b) 无追加

(c) Q2 处追加 100nH

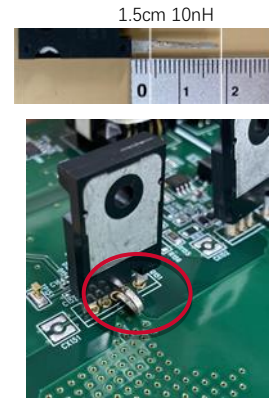


Figure 6-1. 寄生 L 追加 (a)

按以下的条件进行评价。

I_{D, pulse}: 128A (合计 256A)

R_{G, Q1}, R_{G, Q2}: 2Ω

R_{G, com}: 2Ω

V_{GS(th)_Q1}, V_{GS(th)_Q2}: 4.2V

R_{G, Q1}、R_{G, Q2} 由「5.发振评价结果」所示、按照发振对策所需条件，设定为 2Ω。

寄生 L 在(a)~(c)的条件设定的 Gate OFF 时的 V_{GS, LS_Q1} 波形如 Figure 6-2 所示。

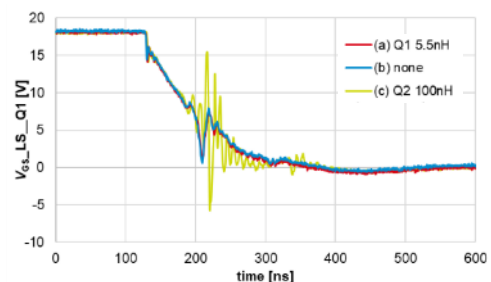


Figure 6-2. V_{GS} 波形 (L_S 等长)

可见 R_{e_Q1} 、 R_{e_Q2} 加入的前提下， L_s 接近一致的话，对抑制发振有效。但差值在 5nH 和 0nH 的两种波形比较，没有大的差异，可认为本次的条件下，可允许 5nH 的差值。

之后条件(d)中保持 L_s 的等长， L_s 的绝对值加长进行验证。Q1、Q2 的两方均加入约 90nH 的追加 L_s 。Figure 6-3 所示为配线追加的状态。

(a) Q1 处追加 5.5nH(等长短)

(d) Q1 处追加 105nH、Q2 处追加 100nH(等长长)



Figure 6-3. 寄生 L 追加 (d)

寄生 L 在(a)、(d)的设定条件 Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 6-4 所示。

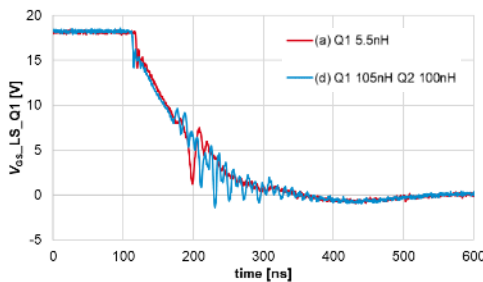


Figure 6-4. V_{GS} 波形 (L_s 等长 长短比较)

条件(a)与条件(d)比较来看，绝对值较大的条件(d)的波形发生了振荡。由此可见， L_s 等长及尽可能短的配置非常重要。但与 Figure 6-2 的条件(c)比较，发振程度较小的情况来看， L_s 的绝对值稍大相比，等长设定是最优先考虑项。

II. R_{e_com} 增加

「5.发振评价结果」要因 B 的评价项目 B'-2，表明 R_{e_com} 增加的话，可抑制发振。但是，会导致开关损耗增大，需对系统效率和发热等充分考虑后进行选定。

III. R_{e_Q1} 、 R_{e_Q2} 增加

II 所示 R_{e_com} 增加可抑制发振， R_{e_Q1} 、Q2 的增加也能对应。 R_{e_Q1} 、Q2 按以下(a)~(d)的条件设定，Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 6-5 所示。

I_{D_pulse} : 128A (合计 256A)

R_{e_com} : 2Ω

$V_{GS(th)_Q1}$, $V_{GS(th)_Q2}$: 4.2V

寄生 L: 仅线路板的 L (Table 5-1)

(a) R_{e_Q1} , R_{e_Q2} : 0Ω

(b) R_{e_Q1} , R_{e_Q2} : 2Ω

(c) R_{e_Q1} , R_{e_Q2} : 4.7Ω

(d) R_{e_Q1} , R_{e_Q2} : 10Ω

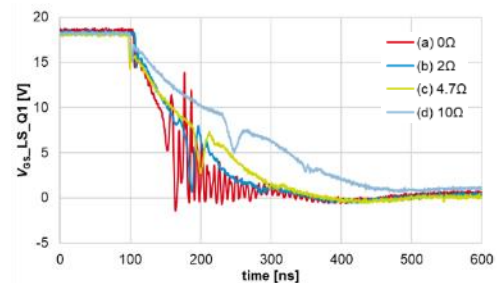


Figure 6-5. V_{GS} 波形 (R_{e_Q1} 、Q2 增加)

可见 R_{e_Q1} 、Q2 的增加可以抑制发振。但「B'-2: 共用栅极电阻抵抗 R_{e_com} 较小」来看， R_{e_com} 增加可使开关速度降低，相对的发振抑制效果好，因此 R_{e_com} 增大， R_{e_Q1} 、Q2 为 2Ω左右设定作为本次评价的最适合条件。

IV. 在 Gate Line 追加 Chip Ferrite Beads

接下来的对策是，使用 Chip Ferrite Beads 的方法。在栅极驱动线上串联加入 Chip Ferrite Beads 能够抑制噪音。如 Figure 6-6 的电路图所示。本次评价的实装布线未设计位置，借用了 R_{e_Q1} 、Q2 的布线。如 Figure 6-7，Chip Ferrite Beads 的实装图所示。

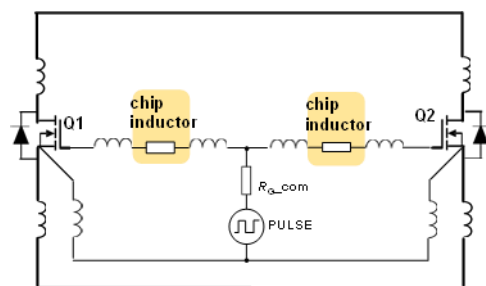


Figure 6-6. Chip Ferrite Beads 实装电路

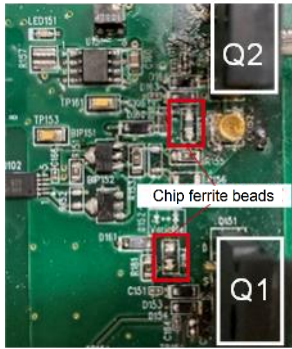


Figure 6-7. Chip Ferrite Beads 实装

评价的条件如下。

$I_{D, pulse}$: 128A (合计 256A)

$R_{G, com}$: 2Ω

$V_{GS(th)Q1}, V_{GS(th)Q2}$: 4.2V

寄生 L: 仅线路板的 L (Table 5-1)

本次, 在个别栅极电阻的铜箔布线位置安装以下的(b)~(d)Chip Ferrite Beads 时 Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 6-8 所示。所使用的 Chip Ferrite Beads 是下述(b)~(d)的 TDK 产品。

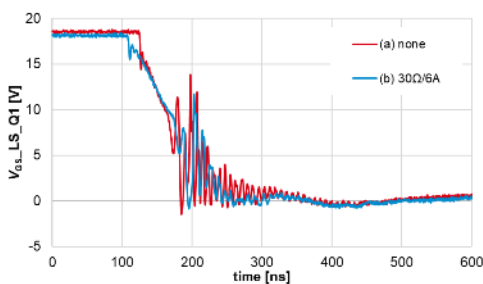
(a) R_{G_Q1}, R_{G_Q2} : 无 Chip Ferrite Beads

MCR18EZPJ000(0Ωの电阻)

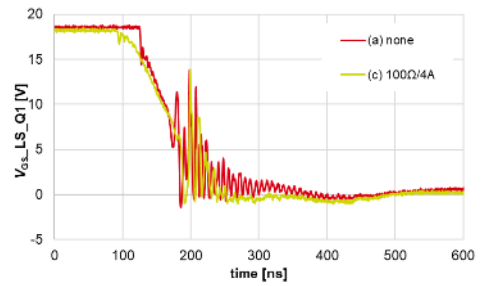
(b) R_{G_Q1}, R_{G_Q2} : MPZ2012S300ATD25(30Ω/6A)

(c) R_{G_Q1}, R_{G_Q2} : MPZ2012S101ATD25(100Ω/4A)

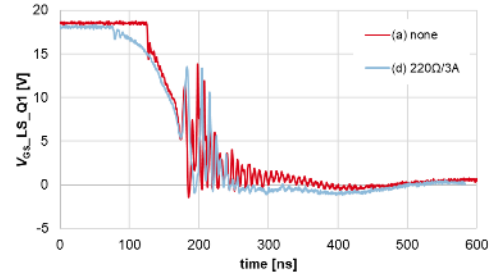
(d) R_{G_Q1}, R_{G_Q2} : MPZ2012S221ATD25(220Ω/3A)



(a)0Ω (b)30Ω/6A



(a) 0Ω (c) 100Ω/4A



(a) 0Ω (d) 220Ω/3A

Figure 6-8. V_{GS} 波形(Chip Ferrite Beads 追加)

从上述结果来看, 可明确(b)的 Chip Ferrite Beads 对抑制发振有效果。

Chip Ferrite Beads 有额定电流参数, 本次的评价按照每 $C_{iss}=1000pF$ 按 1A 的程度选定, 根据实机的充放电电流测定结果进行选择。本次使用的 SCT4018KR 的情况下, $C_{iss}=4532pF$, 据此结果选择 5A 以上的产品比较合适。另外, 也须注意频率特性, 选定在振荡的频带域内数Ω以上阻抗的产品。但是, 使用 Chip Ferrite Beads 的话, 在某个特定频率 V_{GS} 的过冲可能会增大。本次重点关注 Gate OFF 的波形, 为显示发振抑制的效果进行评价。

「III. R_{G_Q1} 、 R_{G_Q2} 增加」的对策相比, 虽然发振抑制效果比较小, 但有其优势。Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如 Figure 6-9, $I_{b_LS_Q1}$ 波形如 Figure 6-10 所示。

(a) R_{G_Q1}, R_{G_Q2} : 无 Chip Ferrite Beads

MCR18EZPJ000(0Ωの电阻)

(b) R_{G_Q1}, R_{G_Q2} : MPZ2012S300ATD25(30Ω/6A)

(e) R_{G_Q1}, R_{G_Q2} : 无 Chip Ferrite Beads

MCR18EZPJ2R0(2Ωの电阻)

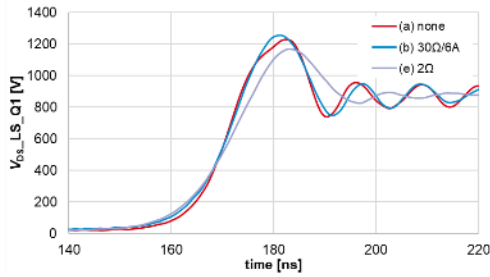


Figure 6-9. V_{DS} 波形 (Chip Ferrite Beads 和 R_G 比较)

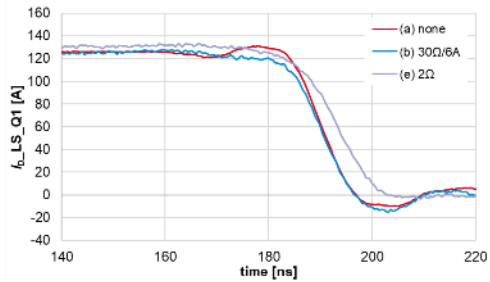


Figure 6-10. I_b 波形 (Chip Ferrite Beads 和 R_G 比较)

V_{DS} 的波形进行比较, dV_{DS}/dt 在条件(a)和(b)基本没有变化, 条件(e)时 dV_{DS}/dt が减缓。此外, dI_b/dt 也在条件(a)和(b)基本没有变化, 条件(e)时减缓。条件(b)状态下 dV_{DS}/dt 和 dI_b/dt 均未劣化, 但能够抑制发振幅度, 因此无需担心开关损耗增大。开关产生的损耗非常重要的场合时, 栅极电阻对策之外再追加 Chip Ferrite Beads 的对策, 可以在增加栅极电阻造成损耗和发振抑制之间取得平衡。

V. 追加外接 C_{GS}

最后介绍外接 C_{GS} 的对策。MOSFET 的寄生电容 C_{GS} 之外, 在 Gate-Source 间加入分立器件的电容, 能够实现降低开关速度, 抑制发振的要求。追加外接 C_{GS} 后 Gate OFF 时的 $V_{GS_LS_Q1}$ 波形如图 Figure 6-11 所示。

$I_{b, pulse}$: 128A (合计 256A)

R_{G_com} : 2Ω

R_{G_Q1}, R_{G_Q2} : 0Ω

$V_{GS(th)_Q1}, V_{GS(th)_Q2}$: 4.2V

寄生 L: 仅线路板的 L (Table 5-1)

(a) 无外接 C_{GS}

(b) 外接 $C_{GS} = 1nF$

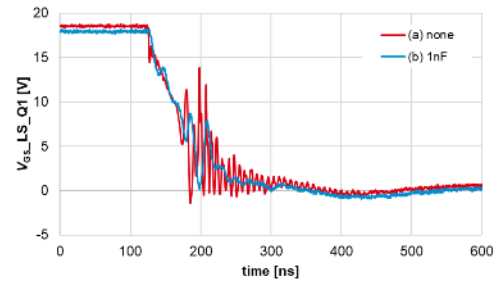


Figure 6-11. V_{GS} 波形 (追加外接 C_{GS})

Figure 6-11 可见外接 C_{GS} 可以实现抑制发振。

最后总结发振对策方法的结果如 Table 6-1。「Gate 电压振幅差」为对策前的振荡振幅最大值与最大抑制发振条件下振幅的差值。这一数值大, 代表本次评价中此对策的效果显著。由此可见, 追加 R_{G_com} 对策最具效果。

Table 6-1

	Oscillation Countermeasures	V_{GS} Amplitude Difference [V]	Point to note
I	Balance L_S (short and equal)	7.9	none
I	Balance L_S (long and equal)	6.1	none
II	Increase R_{G_com}	11.0	Increase switching loss
III	Increase R_{G_Q1} and R_{G_Q2}	7.8	Increase switching loss
IV	Add chip ferrite beads	2.0	Increase V_{GS} surge other than oscillation frequency
V	Add external C_{GS}	6.3	Increase switching loss

并联使用发生振荡时, 首要对策方向是抑制振荡效果显著, 且无副作用的 L_S 等长, 尽可能缩短配线设计。此项不能抑制振荡时, 需在综合考虑副作用的同时, 进行对策。

在栅极布线中加入 Chip Ferrite Beads 的对策, 对发振抑制本身效果较小, 作为针对具体振荡频率的降低过冲电压的手段, 对噪音抑制是有效对策。

7. 总结

并联时需要特别注意如下 3 点。

- L_S 、 L_{KS} 的不平衡对发振有最显著影响。 L_S 、 L_{KS} 尽可能等长设计是最优先考虑。(Figure 7-1 参考)
- R_{G_Q1} 、 R_{G_Q2} 使用同一参数, 并且使用 R_{G_com} 。(Figure 7-1 参照)
- 如此仍有振荡出现时, 考虑追加 Chip Ferrite Beads 和 C_{GS} 的外接对策部品的手段。

对于发振现象的正确理解, 采取最优化的电路设计, 能够对栅极振荡实现充分的抑制。万一还是有并联振荡发生的时候, 尝试上述对策方法, 调整参数使 MOSFET 处于额定规格内,

以确保安全使用。

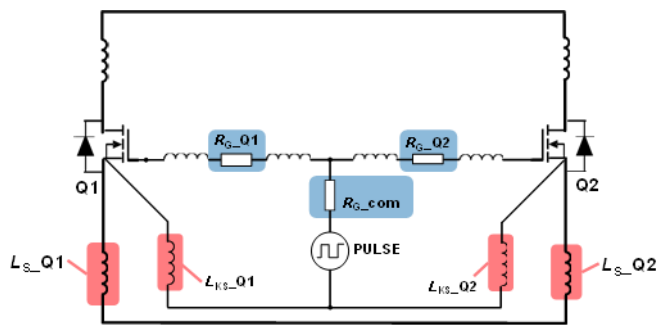


Figure 7-1. 并联使用时需注意的参数

参考资料:

[1] 「Gate-Source 电压测定时的注意点」

Application note(No. 62AP084J Rev.002)

ROHM 株式会社, 2020 年 4 月

[2] 「热模型的使用方法」

Application Note(No. 62AN104J Rev.001)

ROHM 株式会社, 2019 年 12 月

Tektronix[®]是 Tektronix, Inc.的注册商标。

Ansys[®]及 Q3D Extractor[®]是 ANSYS, Inc.的注册商标。

注 意 事 项

- 1) 本资料中的内容旨在介绍ROHM集团(以下简称“ROHM”)的产品。在使用ROHM产品之前,请务必另行确认最新版的技术规格书或产品规格书。
- 2) ROHM的产品是面向普通电子设备(AV设备、OA设备、通信设备、家电产品、娱乐设备等)或技术规格书中指定的应用领域而设计和制造的。因此,如果要在要求极高可靠性、产品故障或误动作可能会危及人的生命、造成人身危害或损害,或可能造成其他严重损害的设备或装置(包括医疗设备、运输设备、交通设备、航空航天设备、核电控制装置、燃料控制、含汽车配件在内的车载设备、各种安全装置等)(以下简称“特殊用途”)中使用ROHM产品,请事先咨询ROHM销售部门。如果未经ROHM事先书面同意而将ROHM产品用于特殊用途,因此造成的客户或第三方的任何损害,ROHM不承担任何责任。
- 3) 含有半导体的电子产品存在一定的误动作或故障概率。客户有责任采取Fail Safe设计等安全对策,来避免万一发生误动作或故障时对人的生命、身体或财产造成危害或损害。
- 4) 本资料中出现的应用电路示例和常数等信息仅用于说明ROHM产品的标准工作和使用方法,并非明示保证或默示保证在实际应用设备中的工作。因此,在客户设备的设计过程中使用这些电路、常数以及相关信息时,请结合各种外部条件自行判断并对自己的判断负责。对于因使用这些数据和信息造成的客户或第三方的任何损害,ROHM不承担任何责任。
- 5) 向海外出口或提供ROHM产品和本资料中的技术时,请遵守《外汇及外国贸易法》、《美国出口管制条例》等适用的出口相关法律法规,并根据这些法律法规中的规定办理必要的手续。
- 6) 本资料中的应用电路示例等技术信息和各种数据仅为示例,并非保证不侵犯与这些内容相关的第三方的知识产权及其他权利。另外,对于本材料中的信息,ROHM并未明示或默示同意客户可以实施、使用或利用ROHM或第三方拥有或管理的知识产权以及其他权利。
- 7) 未经ROHM事先书面同意,严禁转载或复制本资料的全部或部分内容。
- 8) 本资料中的内容为截至本资料发行之时的信息,如有更改,恕不另行通知。在购买和使用ROHM产品之前,请通过ROHM销售部门确认最新信息。
- 9) ROHM不保证本资料中的信息无误。万一客户或第三方因本资料中的信息错误而受损,ROHM不承担任何责任。



Thank you for your accessing to ROHM product informations.
More detail product informations and catalogs are available, please contact us.

ROHM Customer Support System

<https://www.rohm.com.cn/contactus>